

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07193151 A**

(43) Date of publication of application: 28 . 07 . 95

(51) Int. Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/02

G11C 16/06

(21) Application number: 05348874

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: 27 . 12 . 93

(72) Inventor: **MORI SEIICHI**

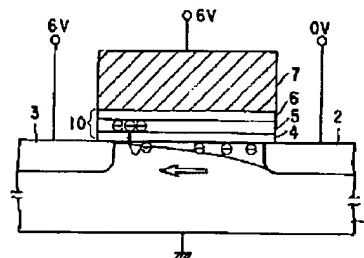
(54) **NON-VOLATILE SEMICONDUCTOR STORAGE
AND ITS STORAGE METHOD**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To improve data retention resistance for the defect of oxide film and the incidence of radioactive rays by comprising a means for trapping carriers only in the gate insulation film near the edge part in the diffusion layer of MIS transistor and for performing programming for a unit storage cell.

CONSTITUTION: Electrons flow from the side of a drain region 2 to the side of a source region 3 in a channel region by applying a bias voltage and channel hot electrons generated at a high electric field part near the source region 3 is injected into a gate insulation film 10. Since the gate insulation film 10 is ONO lamination film, a large amount of electrons are trapped in silicon nitride film 5 near the source region 3. When electrons are trapped in the silicon nitride film 5 near the source region 3, the channel region below it cannot be inverted easily and current cannot flow smoothly, thus increasing the threshold voltage of a cell transistor and hence performing programming according to whether electrons are trapped or not.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-193151

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

G 1 1 C 17/ 00

3 0 7 A

審査請求 未請求 請求項の数16 F D (全 9 頁) 最終頁に続く

(21) 出願番号

特願平5-348874

(22) 出願日

平成5年(1993)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森 誠一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

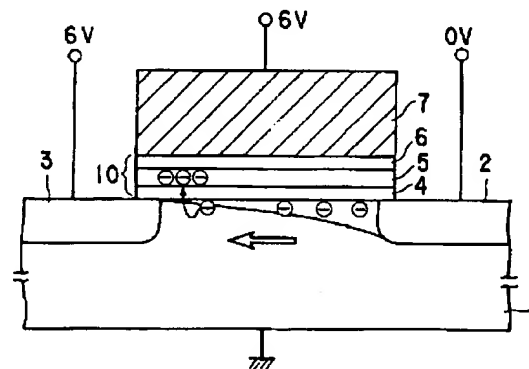
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置及びその記憶方法

(57) 【要約】

【目的】 大容量フラッシュEEPROMが直面している種々の問題を性能を落とすことなく解決できる不揮発性半導体記憶装置及びその記憶方法を提供することを目的としている。

【構成】 ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を設け、この絶縁膜にキャリアをトラップしてしきい値電圧を変化させるか否かに応じてデータを記憶するM I Sトランジスタを単位記憶セルとし、読み出し時に上記M I Sトランジスタのソース領域として働く拡散層における端部近傍のゲート絶縁膜中のみにキャリアをトラップさせてプログラムを行うことを特徴としている。これによって、酸化膜の欠陥や放射線の入射に対する耐性の向上、構造並びに製造工程の簡単化、読み出し電流の増大、書き込み時の選択性の確保とディスタープの問題等を性能を低下させることなく解決できる。



【特許請求の範囲】

【請求項1】 ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を備え、この絶縁膜にキャリアをトラップすることによりしきい値電圧を変化させるか否かに応じてデータを記憶する単位記憶セルとして働くMISトランジスタと、データの読み出し時に上記MISトランジスタのソース領域として働く拡散層における端部近傍の上記ゲート絶縁膜中のみにキャリアをトラップさせ、上記単位記憶セルに対するプログラムを行うプログラム手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記プログラム手段は、ゲート電極とソース電極に同じ極性の電圧を印加する電圧印加手段を有し、この電圧印加手段からゲート電極とソース電極に電圧を印加することによってドレイン領域からソース領域へキャリアを流し、これによって発生したホットキャリアを前記ゲート絶縁膜中に注入してプログラムすることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記MISトランジスタのゲート電極とソース電極間に電位差を与え、前記ゲート絶縁膜中にトラップされたキャリアを放出させることによりデータの消去を行う消去手段を更に具備することを特徴とする請求項1または2いずれかに記載の不揮発性半導体記憶装置。

【請求項4】 ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を備え、この絶縁膜にキャリアをトラップすることによりしきい値電圧を変化させるか否かに応じてデータを記憶するMISトランジスタが単位記憶セルとしてアレイ状に配置されたメモリセルアレイと、データの読み出し時に上記MISトランジスタのソース領域として働く拡散層における端部近傍のゲート絶縁膜中のみにキャリアをトラップさせて上記単位記憶セルへに対するプログラムを行うプログラム手段と、上記メモリセルアレイを構成する特定のまとまった単位のMISトランジスタ毎にソース領域の電圧を制御することにより、特定の単位でプログラム及び消去を行うためのソース電圧制御手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項5】 前記メモリセルアレイは、同一行のMISトランジスタのソース領域が共通接続されたソース線と、同一行のMISトランジスタのゲート電極が共通接続されたワード線とが平行に配置され、隣接する2行毎に上記ワード線を共有しない2つのMISトランジスタがドレイン領域を共有し、このドレイン領域が上記ソース線及び上記ワード線と交差して配置されたビット線に接続されることにより、前記単位記憶セルがNOR型に接続されて構成され、単位記憶セルにプログラムする際、選択された単位記憶セルが接続されているソース線とワード線に同じ極性の電圧を印加し、且つこの単位記憶セルが接続されているビット線は接地、他のビット線

は解放または上記選択された単位記憶セルに接続されたソース線に印加している電圧と同じ極性の電圧を印加することにより、非選択の単位記憶セルへのプログラムを防止する手段を更に具備することを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 消去を行う場合に、ワード線とソース線に電位を印加し、ワード線とソース線を共有するまとまった数の単位記憶セルに対して同時に消去する手段を更に具備することを特徴とする請求項4または5いずれかに記載の不揮発性半導体記憶装置。

【請求項7】 前記ゲート絶縁膜は、第1のシリコン酸化膜、シリコン窒化膜、及び第2のシリコン酸化膜の3層構造膜であることを特徴とする請求項1ないし6いずれか1つの項に記載の不揮発性半導体記憶装置。

【請求項8】 前記第1、第2のシリコン酸化膜の膜厚はそれぞれ、少なくとも5nmであることを特徴とする請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 前記各MISトランジスタにおけるソース領域の近傍の半導体基板中に設けられ、この半導体基板と同一導電型で、半導体基板よりも不純物濃度が高い第1の不純物領域を更に具備することを特徴とする請求項1ないし8いずれか1つの項に記載の不揮発性半導体記憶装置。

【請求項10】 前記各MISトランジスタにおけるドレイン領域におけるチャネル領域側の端部に、ドレイン領域と同一導電型でこのドレイン領域よりも不純物濃度が低い第2の不純物領域を更に具備することを特徴とする請求項1ないし9いずれか1つの項に記載の不揮発性半導体記憶装置。

【請求項11】 ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を備え、この絶縁膜にキャリアをトラップすることによりしきい値電圧を変化させるか否かに応じてデータを保持するMISトランジスタを単位記憶セルとして備えた不揮発性半導体記憶装置において、データの読み出し時に上記MISトランジスタのソース領域として働く拡散層における端部近傍のゲート絶縁膜中のみにキャリアをトラップさせてプログラムすることを特徴とする不揮発性半導体記憶装置の記憶方法。

【請求項12】 前記キャリアのトラップは、ゲート電極とソース電極に同じ極性の電圧を印加し、ドレイン領域からソース領域へキャリアを流すことによって発生したホットキャリアを前記ゲート絶縁膜中に注入して行うことを特徴とする請求項11に記載の不揮発性半導体記憶装置の記憶方法。

【請求項13】 ゲート電極とソース電極間に電位差を与えて前記ゲート絶縁膜中にトラップされたキャリアを放出させることにより記憶データの消去を行うことを特徴とする請求項11または12いずれかに記載の不揮発性半導体記憶装置の記憶方法。

【請求項14】 前記単位記憶セルをアレイ状に配置してメモリセルアレイを形成し、まとまった単位の単位記憶セル毎にソース線の電圧を制御することにより、特定の単位でプログラム及び消去を行うことを特徴とする請求項1ないし13いずれか1つの項に記載の不揮発性半導体記憶装置の記憶方法。

【請求項15】 前記メモリセルアレイは、同一行のMISトランジスタのソース領域が共通接続されたソース線と、同一行のMISトランジスタのゲート電極が共通接続されたワード線とが平行に配置され、隣接する2行毎に上記ワード線を共有しない2つのMISトランジスタがドレイン領域を共有し、このドレイン領域が上記ソース線及び上記ワード線と交差して配置されたビット線に接続されることにより、前記単位記憶セルがNOR型に接続されて構成され、単位記憶セルにプログラムする際、選択された単位記憶セルが接続されているソース線とワード線と同じ極性の電圧を印加し、且つこの単位記憶セルが接続されているビット線は接地、他のビット線は解放または上記選択された単位記憶セルに接続されたソース線に印加している電圧と同じ極性の電圧を印加することにより、非選択の単位記憶セルへのプログラムを防止することを特徴とする請求項14に記載の不揮発性半導体記憶装置の記憶方法。

【請求項16】 ワード線とソース線に電位を印加し、ワード線とソース線を共有する単位記憶セルのデータを同時に消去することを特徴とする請求項14または15いずれかに記載の不揮発性半導体記憶装置の記憶方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置の構造及びその動作方法に係り、特に不揮発性で且つ電氣的に書き換え可能なフラッシュEEPROM等の大容量の不揮発性半導体記憶装置及びその記憶方法に関する。

【0002】

【従来の技術】 従来、電氣的に書き込み消去可能なメモリセルとしては、セルフアライン型の2層ゲート構造を有するメモリセルが一般的である。このメモリセルの場合、シリコン酸化膜で取り囲まれた浮遊ゲートに電荷（通常は電子）を注入することにより、セルトランジスタのスレシホールド電圧を変化させてデータの書き込みを行う。書き込みは、通常、ドレインとコントロールゲートとの間に高い電圧を印加して例えばホットエレクトロンを発生させ、ドレイン側から浮遊ゲートにホットエレクトロンを注入する。

【0003】 しかしながら、上述した構成のメモリセルは、次のような種々の問題を有している。第1の問題は、ドレイン側から浮遊ゲートに電荷を注入しても、注入された電荷は浮遊ゲートの全面に均一に拡散した状態で保持されるため、浮遊ゲートの周囲の酸化膜に一カ所

でも欠陥が発生すると、この欠陥部から電荷が失われてしまう点にある。このような欠陥は製造工程で発生したり、使用中に書き込みと消去が繰り返されることにより酸化膜が劣化して発生する場合もある。また、同じ理由から放射線の入射に対しても弱く、浮遊ゲートのどこか一カ所にヒットすると電子が失われることにつながる。このような浮遊ゲート中の電子の減少は、そのままスレシホールド電圧の変動につながり、記憶データの誤読み出しの原因となる。

10 【0004】 第2の問題として、2層ゲート構造のトランジスタは、通常（1層ゲート構造）のMOSトランジスタに比して構造が複雑であり、製造工程数も多いという点があげられる。また、第3の問題は、2層ゲート構造は読み出しの時の電流値が大きく取れないという点である。これは、ゲート電極が2層構造であるため、等価的にゲート酸化膜厚が厚くなってしまいうことに起因する。

【0005】 第4の問題は過消去セルの発生である。すなわち、消去する場合には、浮遊ゲートから電子を引き抜くわけであるが、制御が十分でないで浮遊ゲートから電子を引き抜き過ぎてゲート電圧が0Vでもセルトランジスタがオンしてしまうことがある。この状態は過消去と呼ばれている。メモリセルアレイ中にこのような過消去状態のセルが出現すると、同一のビット線に接続された他のセルの記憶データが正確に読み出せなくなる。

【0006】 更に、第5の問題は、メモリセルアレイを構成した場合に、あるまとまったセルの単位（セクター）のみに対して書き込みや消去を行うことが望まれることがあるが、通常は書き込みや消去を行いたくないセルのドレインにもバイアス電位が印加される。この際、ドレインから浮遊ゲートへキャリアが注入されたり、あるいは逆に浮遊ゲートからドレインにキャリアが抜けたりして記憶データが破壊される恐れがある。これを一般にドレインディスターブと呼ぶ。このため、十分な書き換え回数を保証することが困難になる。

【0007】 上述した第1ないし第3の問題を克服する従来の技術として、通常のMOSトランジスタのゲート絶縁膜として酸化膜と窒化膜の多層構造膜を採用し、このゲート絶縁膜中に電子をトラップさせることによりしきい値電圧を変化させるか否かに応じてデータを記憶する、いわゆるMNOS (Metal-Nitride-Oxide-Semiconductor) あるいはMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) セル等が提案されている。電子が窒化膜にトラップされて蓄積されている場合には、酸化膜に欠陥が発生しても、その欠陥のごく近傍のトラップされた電荷が放出されるだけで済む。また、放射線が入射した場合も同様に局所的にキャリアが放出されるだけであるので、スレシホールド電圧の変動は小さい。この種の構造では、通常、ゲート電極に高い電圧を加えてF

50 Nトンネル電流を流してプログラムする。

【0008】ところが、上述したMNOSあるいはMONOS構造を採用すると、選択トランジスタが必要になるという新たな問題が生ずる。すなわち、これらの構造では、ゲート電極がワード線として用いられ、多数のセルが共通に結線されているので、通常のアレイ構成では選択的にプログラムすることができない。選択トランジスタを設けるのは集積度の低下とコストアップが著しく、大容量の記憶装置には向かない。

【0009】上記選択トランジスタの問題と、更には2層ゲート構造のセルでの第4の問題である過消去を同時に解決する方法がIEEE Electron Device Lett., vol. EDL-8, no. 3, pp. 93-95, March 1987, T. Y. Chan et al. "A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device"に開示されている。この文献に記載された技術では、ホットエレクトロン注入方式により、MONOSトランジスタのドレイン側のゲート絶縁膜にホットエレクトロンを注入する。ホットエレクトロンの注入によって、選択的に特定のセルにプログラムできる。一方、消去はゲートに負電圧、ドレインに正電圧を印加し、トラップされた電子を引き抜いており、書き込みと同様に選択的に引き抜くことができる。また、ドレイン近傍のみで、電子のトラップと引き抜きを行うため、万一過消去を行ってもトランジスタのスレシホールド電圧が負になる心配がないことも示されている。

【0010】しかしながら、このような構成及び記憶方法では、2層ゲート構造の問題点で述べた第5の問題であるディスタ urbを回避できない。この文献に記載された技術ではドレイン領域近傍のゲート絶縁膜中に電子をトラップしているが、メモリセルをアレイ状に配置した場合には、非選択セルのドレインにも書き込みや消去時に正の比較的高い電圧が印加されるため、電子がデトラップされ、放出されてしまう恐れがある。また、ドレイン領域の近傍のみに電子をトラップさせる場合、かなりの量の電子をトラップしないとスレシホールド電圧が変化せず、つまりはプログラムスピードが遅いという問題を生ずる。この文献によると10msものプログラム時間を要している。

【0011】

【発明が解決しようとする課題】 上述したように従来の不揮発性半導体記憶装置は、酸化膜の欠陥や放射線の入射に対して弱い、構造が複雑であり製造工程数も多い、読み出し電流が大きく取れない、過消去による誤読み出しが発生する、及びディスタ urbが発生する恐れがある等多数の問題点を有している。上述したいくつかの問題点を解決する種々の技術が提案されているが、いずれも一部の問題点に対してしか解決には至っておらず、且つ選択トランジスタが必要になったり、プログラムスピードが低下する等の新たな問題が発生する。

【0012】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、酸化膜の欠陥や

放射線の入射に対するデータ保持耐性を向上できる不揮発性半導体記憶装置及びその記憶方法を提供することにある。また、この発明の他の目的は、構造の簡単化並びに製造工程数を削減できる不揮発性半導体記憶装置及びその記憶方法を提供することにある。

【0013】この発明の更に他の目的は、読み出し電流を大きく取れる不揮発性半導体記憶装置及びその記憶方法を提供することにある。この発明の別の目的は、メモリセルをアレイ状に配置して大規模なメモリセルアレイを構成した場合に、書き込み時の選択性を確保するとともに、消去時に発生する過消去の問題を回避できる不揮発性半導体記憶装置及びその記憶方法を提供することにある。

【0014】この発明の更に別の目的は、メモリセルをアレイ状に配置して大規模なメモリセルアレイを構成した場合に、書き込み時の選択性を確保するとともに、消去及び書き込み時に発生するディスタ urbの問題をプログラムスピードを低下させることなく解決できる不揮発性半導体記憶装置及びその記憶方法を提供することにある。

【0015】

【課題を解決するための手段】 請求項1に記載したこの発明の不揮発性半導体記憶装置は、ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を備え、この絶縁膜にキャリアをトラップすることによりしきい値電圧を変化させるか否かに応じてデータを記憶する単位記憶セルとして働くMISTランジスタと、データの読み出し時に上記MISTランジスタのソース領域として働く拡散層における端部近傍の上記ゲート絶縁膜中のみにキャリアをトラップさせ、上記単位記憶セルに対するプログラムを行うプログラム手段とを具備することを特徴としている。

【0016】前記プログラム手段は、ゲート電極とソース電極に同じ極性の電圧を印加する電圧印加手段を有し、この電圧印加手段からゲート電極とソース電極に電圧を印加することによってドレイン領域からソース領域へキャリアを流し、これによって発生したホットキャリアを前記絶縁膜中に注入してプログラムすることを特徴とする。

【0017】前記MISTランジスタのゲート電極とソース電極間に電位差を与え、前記ゲート絶縁膜中にトラップされたキャリアを放出させることによりデータの消去を行う消去手段を更に具備することを特徴とする。

【0018】また、請求項4に記載したこの発明の不揮発性半導体記憶装置は、ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を備え、この絶縁膜にキャリアをトラップすることによりしきい値電圧を変化させるか否かに応じてデータを記憶するMISTランジスタが単位記憶セルとしてアレイ状に配置されたメモリセルアレイと、データの読み

出し時に上記MISトランジスタのソース領域として働く拡散層における端部近傍のゲート絶縁膜中のみにキャリアをトラップさせて上記単位記憶セルへに対するプログラムを行うプログラム手段と、上記メモリセルアレイを構成する特定のまとまった単位のMISトランジスタ毎にソース領域の電圧を制御することにより、特定の単位でプログラム及び消去を行うためのソース電圧制御手段とを具備することを特徴とする。

【0019】前記メモリセルアレイは、同一行のMISトランジスタのソース領域が共通接続されたソース線と、同一行のMISトランジスタのゲート電極が共通接続されたワード線とが平行に配置され、隣接する2行毎に上記ワード線を共有しない2つのMISトランジスタがドレイン領域を共有し、このドレイン領域が上記ソース線及び上記ワード線と交差して配置されたビット線に接続されることにより、前記単位記憶セルがNOR型に接続されて構成され、単位記憶セルにプログラムする際、選択された単位記憶セルが接続されているソース線とワード線と同じ極性の電圧を印加し、且つこの単位記憶セルが接続されているビット線は接地、他のビット線は解放または上記選択された単位記憶セルに接続されたソース線に印加している電圧と同じ極性の電圧を印加することにより、非選択の単位記憶セルへのプログラムを防止する手段を更に具備することを特徴とする。

【0020】消去を行う場合に、ワード線とソース線に電位を印加し、ワード線とソース線を共有するまとまった数の単位記憶セルに対して同時に消去する手段を更に具備することを特徴とする。前記ゲート絶縁膜は、第1のシリコン酸化膜、シリコン窒化膜、及び第2のシリコン酸化膜の3層構造膜であることを特徴とする。

【0021】前記第1、第2のシリコン酸化膜の膜厚はそれぞれ、少なくとも5nmであることを特徴とする。前記各MISトランジスタにおけるソース領域の近傍の半導体基板中に設けられ、この半導体基板と同一導電型で、半導体基板よりも不純物濃度が高い第1の不純物領域を更に具備することを特徴とする。

【0022】前記各MISトランジスタにおけるドレイン領域におけるチャネル領域側の端部に、ドレイン領域と同一導電型でこのドレイン領域よりも不純物濃度が低い第2の不純物領域を更に具備することを特徴とする。

【0023】更に、請求項11に記載したこの発明による不揮発性半導体記憶装置の記憶方法は、ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりもキャリアをトラップしやすい絶縁膜を備え、この絶縁膜にキャリアをトラップすることによりしきい値電圧を変化させるか否かに応じてデータを保持するMISトランジスタを単位記憶セルとして備えた不揮発性半導体記憶装置において、データの読み出し時に上記MISトランジスタのソース領域として働く拡散層における端部近傍のゲート絶縁膜中のみにキャリアをトラップさせてプログラムする

ことを特徴とする。

【0024】前記キャリアのトラップは、ゲート電極とソース電極に同じ極性の電圧を印加し、ドレイン領域からソース領域へキャリアを流すことによって発生したホットキャリアを前記ゲート絶縁膜中に注入して行うことを特徴とする。ゲート電極とソース電極間に電位差を与えて前記ゲート絶縁膜中にトラップされたキャリアを放出させることにより記憶データの消去を行うことを特徴とする。

10 【0025】前記単位記憶セルをアレイ状に配置してメモリセルアレイを形成し、まとまった単位の単位記憶セル毎にソース線の電圧を制御することにより、特定の単位でプログラム及び消去を行うことを特徴とする。

【0026】前記メモリセルアレイは、同一行のMISトランジスタのソース領域が共通接続されたソース線と、同一行のMISトランジスタのゲート電極が共通接続されたワード線とが平行に配置され、隣接する2行毎に上記ワード線を共有しない2つのMISトランジスタがドレイン領域を共有し、このドレイン領域が上記ソース線及び上記ワード線と交差して配置されたビット線に接続されることにより、前記単位記憶セルがNOR型に接続されて構成され、単位記憶セルにプログラムする際、選択された単位記憶セルが接続されているソース線とワード線と同じ極性の電圧を印加し、且つこの単位記憶セルが接続されているビット線は接地、他のビット線は解放または上記選択された単位記憶セルに接続されたソース線に印加している電圧と同じ極性の電圧を印加することにより、非選択の単位記憶セルへのプログラムを防止することを特徴とする。ワード線とソース線に電位

30 を印加し、ワード線とソース線を共有する単位記憶セルのデータを同時に消去することを特徴とする。

【0027】

【作用】上記のような構成並びに方法によれば、ゲート絶縁膜として、シリコン酸化膜よりもキャリアをトラップしやすい絶縁膜（例えばシリコン窒化膜）を含む絶縁膜を採用し、キャリアをこの絶縁膜中にトラップさせてスレシホールド電圧を変化させるか否かに応じてデータを記憶するので、酸化膜に欠陥が発生しても、その欠陥のごく近傍のトラップされた電荷が放出されるだけで済む。また、放射線が入射した場合も同様に局所的にキャリアが放出されるだけであるので、スレシホールド電圧の変動は小さい。従って、酸化膜の欠陥や放射線の入射による影響を低減して保持特性を向上できる。

【0028】ゲート電極は1層構造であるので構造が単純であり、且つ2層ゲート構造に比べて製造工程数を削減できる。ゲート電極が1層構造であるので、2層構造に比して等価的にゲート酸化膜厚を薄くでき、読み出し電流を大きくできる。消去に際して、限定された領域の電荷を引き抜くので、引き抜き過ぎてもMISトランジスタのチャネル領域全体が反転することではなく、過消去

50

の問題は起きない。

【0029】データの読み出し時にソース領域として働く拡散層の端部近傍のゲート絶縁膜中に限局して電荷を注入することによりプログラムを行うので、非選択セルのドレイン領域に書き込みや消去時に正の比較的高い電圧が印加されても電子がデトラップされて放出されることはない。また、ソース領域の近傍のみに電子をトラップさせると少数の電子のトラップでスレシホールド電圧を大きく変化させることができる。よって、ドレイン領域として働く拡散層の端部近傍のゲート絶縁膜中に電荷を注入してプログラムを行うのに比してプログラムスピードの大幅な高速化を達成できる。更に、電荷をソース領域近傍のゲート絶縁膜のみにトラップするので、非選択セルのドレイン領域にストレスがかかっても影響はなくディスタープの問題は発生しない。

【0030】大規模アレイで、特定のまとまった単位でソース線の電位を独立してコントロールするので、ゲート電極とソース領域間に高い電圧を印加してトラップされていた電荷を引き抜いてデータを消去する際、選択されたソース線に接続されているメモリセルのデータのみを消去することが可能となる。よって、消去したくないメモリセルには一切電圧がかからないので、消去ディスタープは発生しない。

【0031】従って、この発明を、キャリアをトラップさせるタイプのメモリセルに適用することで、現在の大容量フラッシュEEPROMが直面している種々の問題点、つまり、酸化膜の欠陥や放射線の入射に対する耐性が低いという問題点、2層ゲート構造のために構造が複雑で製造工程数も多いという問題点、読み出し電流が大きく取れないという問題点、更に大規模セルアレイにおいて消去時に発生する過消去の問題や、消去及び書き込み時に発生するディスタープの問題をプログラムスピードが遅くなる等の性能の低下を伴うことなく解決できる。

【0032】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1ないし図3はそれぞれ、この発明の第1の実施例に係る不揮発性半導体記憶装置における単位記憶セルの構成、並びに各動作モードにおける電荷の保持及び移動状態を示したもので、図1は書き込みモード、図2は読み出しモード、及び図3は消去モードをそれぞれ模式的に示している。

【0033】単位記憶セルは、ゲート絶縁膜としてON O (Oxide-Nitride-Oxide) 積層膜が用いられたNチャネル型のMIS (MOS) トランジスタからなり、次のように構成されている。P型半導体基板の表面領域に、N型のドレイン領域2及びソース領域3が離隔して形成される。上記ドレイン、ソース領域2、3間のチャネル領域上にはゲート絶縁膜10が設けられ、このゲート絶縁膜10上にゲート電極7が設けられている。上記ゲ-

ト絶縁膜10には、ON Oの3層構造の積層膜、すなわちシリコン酸化膜4、シリコン窒化膜5及びシリコン酸化膜6を用いている。上記各シリコン酸化膜4、6の膜厚は6 nm、シリコン窒化膜5の膜厚も6 nmである。シリコン窒化膜5の上下に5 nm以上の膜厚の酸化膜があると、注入された電子の保持特性が向上する。上記ゲート電極7には、多結晶シリコン、ポリサイド、メタル等を必要に応じて選択して使用する。

【0034】図1に示すように、単位記憶セルへの書き込み時には、例えばソース領域3に6 V、ゲート電極7に6 V、ドレイン領域2に0 V (接地) を印加する。但し、ここではソース、ドレイン領域2、3の用語の区別は、読み出し時の動作を基準にして定義している。上記バイアス電圧の印加により、電子がチャネル領域中をドレイン領域2側からソース領域3側へ流れ、ソース領域3の近傍の高電界部で発生したチャネルホットエレクトロンがゲート絶縁膜10中に注入される。上記ゲート絶縁膜10はON O積層膜であるので、かなりの量の電子がシリコン窒化膜5中にトラップされる。ソース領域3の近傍のシリコン窒化膜5中に電子がトラップされると、この下のチャネル領域が反転しなくなり、電流が流れにくくなる。この結果、セルトランジスタのスレシホールド電圧が上昇するので、電子をトラップするか否かに応じてプログラムが行えることになる。

【0035】この発明で重要なのは、キャリアの注入をソース領域3近傍のシリコン窒化膜5中に限局していることである。例えば、ゲート電極7に印加する電圧が高いと、チャネル領域の全面から窒化膜5中に電子が注入され、スレシホールド電圧の上昇が起こる。1つのセルトランジスタを用いて、データを記憶させる用途の場合には、この方法でも問題はないが、多数のセルトランジスタをアレイ状に配置し、1本のワード線に多数のセルトランジスタのゲートが接続されている構造の場合には、同一のワード線に接続された全てのセルトランジスタに書き込みが行われてしまい、選択的に書き込むことができない。また、チャネル領域の全面上の窒化膜5中に電子をトラップさせてしまうとチャネル全面から消去する必要があり、この場合には消去しすぎて、スレシホールド電圧が負になってしまうという過消去の問題が発生する。従って、例えば、前述したソース領域3に6 V、ゲート電極7に6 Vのバイアス電圧を印加する場合には、ソース領域3に0 Vを印加する条件下においてゲート電極7に6 Vを印加してもスレシホールド電圧の変動がないことを確認して設定する必要がある。

【0036】読み出しの場合には、図2に示すようにゲート電極7に3 V、ソース領域3に0 V (接地)、ドレイン領域2に2 Vのバイアス電圧を印加する。ソース領域3の近傍のシリコン窒化膜5中に電子がトラップされていると、その下のチャネル領域が反転し難くなるため電流が流れなくなる。ソース領域3近傍の窒化膜中5へ

の電子のトラップは、ドレイン領域近傍の窒化膜中に電子をトラップさせる従来の方法に比して読み出し時の電流への影響が大きい。換言すれば、少数の電子のトラッピングでスレシホールド電圧の大きな上昇が起こり、プログラムスピードを高速化できる。条件にもよるが、ドレイン領域の近傍の窒化膜に電子をトラップする場合と比較すると1~2桁の高速化が可能となる。

【0037】また、単位記憶セルとして働くMISトランジスタは、2層ゲート構造ではなく、単純な1層ゲート構造であるので、書き込みを行っていないセルの読み出し電流は、例えばゲート電圧が3V程度の低い電圧でも2層ゲート構造のセルに比べて大きく取れる。

【0038】消去に際しては、図3に示すようにゲート電極7に-9V、ソース領域3に5Vのバイアス電圧を印加し、ドレイン領域2は開放とする。これによって、シリコン窒化膜5中にトラッピングされていた電子がソース領域3に抜ける。この際、一部ではあるがソース領域3と基板1との接合部の近傍で発生したホールがゲート絶縁膜10中に注入され、窒化膜5中にトラッピングされていた電子を中和する作用も働き、消去スピードの高速化に寄与する。この消去時に、電子を引き抜き過ぎて窒化膜5が正に帯電することがあっても、正に帯電する領域はソース領域3の近傍の窒化膜5の一部に限局しているため、ゲート電極7に印加する電圧を0Vにすれば、残りの大部分のチャネル領域でセルトランジスタがオフするので過消去の心配はない。

【0039】図4は、上記単位記憶セルの他の構成例を示している。この図4に示すMISトランジスタは、ソース領域3側にp-ポケット層を設けるとともにドレイン領域2側にLDD構造を採用したものである。上述した構成並びに記憶方法では、従来技術と異なり、読み出し時と書き込み時でソース領域とドレイン領域が逆になるので、例えばソース領域3側にp-ポケット層のように基板1と同一導電型で不純物濃度が高い不純物領域8を形成することによりプログラムスピードをより高速化できる。読み出しと書き込みを同一の拡散層を用いて行う従来の技術では、不純物濃度が高いp-ポケット層を導入すると、確かにプログラムスピードは早くなるが、読み出し中に浮遊ゲート中に電子が注入され易くなり、長期間の読み出し動作中にデータが反転してしまう(ソフトライトとも言う)危険が増す問題があったが、この発明の記憶方法ではその心配はない。また、ソース領域3にp-ポケット層を導入しておく、消去時にソース領域3と基板1との接合付近でホットホールが発生し易くなる。このホットホールの一部は、上述したように絶縁膜10中に注入され、シリコン窒化膜5にトラップされていた電子を中和する働きもあるので、消去スピードが早くなるという効果も得られる。

【0040】また、図4のセル構造では、読み出しの際のソフトライトの問題を避けるために、N⁻型の不純物

領域9をドレイン領域2とチャネル領域との接合部に設け、いわゆるLDD (Lightly-Doped-Drain) 構造にしている。この構造を採用している。これによって、読み出し時のドレイン電圧を高くしてもソフトライトを引き起こすので、ドレイン電圧を高くして読み出し電流を大きくできる。

【0041】なお、図4では、p-ポケット層とLDD構造の両方を採用した場合の構成を示したが、いずれか一方のみでもそれぞれに対応した効果が得られるのは勿論である。次に、上記図1ないし図4に示した単位記憶セルの構造並びに記憶方法を、多数のセルをアレイ状に配置した大規模メモリセルアレイに適用する場合について説明する。

【0042】図5は、2本のワード線と、それに挟まれた1本のソース線に接続されたセル群を特定のまとまった単位(セクター)として用いる場合のセルアレイの構成図である。図5において、S1はセクター1に対応したソース線、W1、W2はソース線S1の両側に配置されたワード線で、多数個のセルのゲートが接続されている。B1、B2はビット線で、隣り合ったワード線に接続されている2個のセルのドレインに接続されている。S2はセクター2に対応したソース線で、ソース線S1とは独立に電位をコントロールできるように周辺回路を構成している。セクター1のセルMCに書き込みを行う場合は、ビット線B1を接地し、ワード線W1に6V、ソース線S1に6Vをそれぞれ印加する。この際、ワード線W2を接地しておけば、ワード線W2に接続されたセルにはプログラムされない。ワード線W1に接続された他のセルについてはビット線B1以外のビット線B2、…を解放またはソース線S1と同じ電位、もしくはソース線S1の電位と接地電位の間の適当な電位を印加することにより、ソース、ドレイン間の電位差を書き込みが起きない状態に設定すれば良い。この時、ビット線B2を始めとする非選択のビット線が例えば6V等の高電圧になる。これによって非選択セクター、例えばセクター2に接続されたセルのドレインにも6Vが印加される。通常の2層ゲート構造のセルでは、この時にドレインディスタースが問題となるが、この発明のセルでは電子はソース領域3の近傍のみに蓄積されているので問題にならない。消去時には、ソース線S1を例えば5V、ワード線W1、W2を例えば-9Vとすることでソース線S1に接続されている全てのセルに対して消去を行う。ソース線S1とS2は分離されているので、ソース線S2に接続されているセルには電気的なストレスは一切印加されない。

【0043】ところで、通常、ビット線B1、B2は、第1層目の金属配線層で形成される。従って、ソース線電位制御用の配線S1、S2は第2層目の金属配線層を用いると良い。

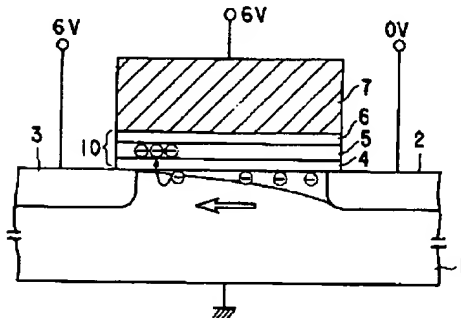
【0044】なお、上記実施例では、Nチャネル型のM

ISトランジスタのゲート絶縁膜に電子をトラップさせる場合について説明したが、トランジスタの種類やトラップさせるキャリアの組み合わせ等は作用が同じになるように変更しても構わない。また、動作電圧もMISトランジスタのサイズ、ゲート絶縁膜の構造や材質、ソース、ドレイン領域の不純物濃度等に応じて適宜変えても良いのは勿論である。更に、上記実施例ではゲート絶縁膜としてONO積層膜を使用した。電子またはホールをトラップして保持できれば他の絶縁膜の単層膜や多層膜を使用しても良い。

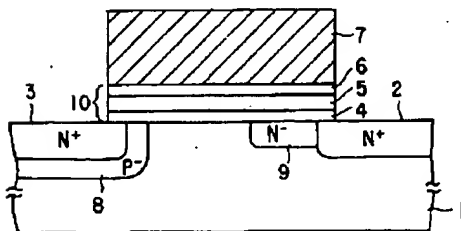
【0045】

【発明の効果】以上説明したように、この発明によれば、酸化膜の欠陥や放射線の入射に対するデータ保持耐性を向上でき、構造を単純化して製造工程数を削減でき、読み出し電流を大きく取れ、メモリセルをアレイ状に配置して大規模なメモリセルアレイを構成した場合に、書き込み時の選択性を確保するとともに、消去時に発生する過消去の問題を回避でき、更にメモリセルをアレイ状に配置して大規模なメモリセルアレイを構成した場合に、書き込み時の選択性を確保するとともに、消去及び書き込み時に発生するディスタープの問題をプログラムスピードを低下させることなく解決できる不揮発性半導体記憶装置及びその記憶方法が得られる。

【図1】



【図4】



【図面の簡単な説明】

【図1】 この発明の第1の実施例に係る不揮発性半導体記憶装置における単位記憶セルの構造並びに書き込みモードの電圧印加例について説明するための断面図。

【図2】 この発明の第1の実施例に係る不揮発性半導体記憶装置における単位記憶セルの構造並びに読み出しモードの電圧印加例について説明するための断面図。

【図3】 この発明の第1の実施例に係る不揮発性半導体記憶装置における単位記憶セルの構造並びに消去モードの電圧印加例について説明するための断面図。

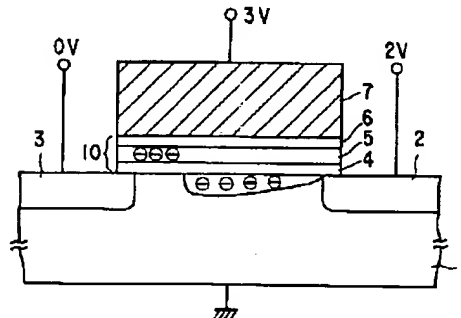
【図4】 この発明の第2の実施例に係る不揮発性半導体記憶装置における単位記憶セルの構造について説明するための断面図。

【図5】 図1ないし図4に示した単位記憶セルをアレイ状に配置した不揮発性半導体記憶装置を構成する場合の構成例を示す回路図。

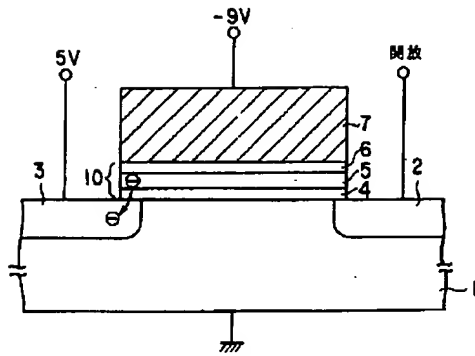
【符号の説明】

1…半導体基板、2…ドレイン領域、3…ソース領域、4…第1のシリコン酸化膜、5…シリコン窒化膜、6…第2のシリコン酸化膜、7…ゲート電極、8…第1の不純物領域、9…第2の不純物領域、10…ゲート絶縁膜、W1～W4…ワード線、S1、S2…ソース線、B1、B2…ビット線。

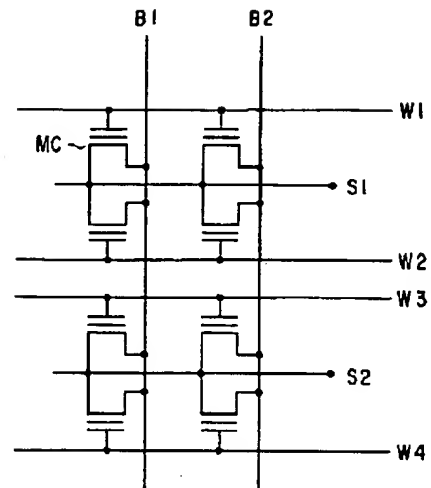
【図2】



【図3】



【図5】



フロントページの続き

(51) Int. Cl. 6

G11C 16/02

16/06

識別記号

片内整理番号

F I

技術表示箇所

G11C 17/00

530 D